**Programació de Microprocessadors**

**Parcial 2**

Miquel Rodríguez Juvany

2on Trimestre

**Apartat Teoria del e-Campus**

**1. Introducció**

**A. Operacions I/O mapejades a memòria**

Tant ATMega328P com Arduino que utilitza “només” una part de tots els pins de l’ATMega328P tenen tres ports per operacions I/O.

1. **PORT B**: 8 bits bidireccionals: PB0 - PB7. Arduino PB0 - PB5 (PIN8 - PIN13)
2. **PORT C**: 7 bits bidireccionals: PC0 – PC5 = ADC0 – ADC5, PC6 = RESET. Arduino PC0 – PC5 (ANALOG0 – ANALOG5)
3. **PORT D**: 8 bits bidireccionals: PD0 – PD7. Arduino PD0 – PD7 (PIN0 – PIN7)

Podem treballar les I/O amb operaciones d’alt nivell (pinMode, digitalWrite, digitalRead...)

Podem treballar les I/O amb operaciones de baix nivell. Mapejant les operacions a memòria.

Operarem sobre registres específics i aquests tindran la seva rèplica en operacions I/O.

Més eficient, però més complicat de programar i de llegir el programa.

**Registre DDRx (DDRB, DDRC, DDRD) DATA DIRECTION REGISTER**

Per configurar el mode d’operació:

* Entrada: Bit a 0 (defecte bit valor 0)
* Sortida: Bit a 1

**Registre PORTx (PORTB, PORTC, PORTD) PORT OUTPUT REGISTER**

Per configurar valor a treure (valor actuador connectat al PORT) si el port és de sortida:

* Sortida activada si bit 1
* Sortida desactivada si bit 0

Per configurar configuració resistència pull-up si el port és d’entrada:

* Resistència activada si bit 1
* Resistència desactivada si bit 0

**Registre PINx (PINB, PINC, PIND) PORT INPUT REGISTER**

Per llegir l’estat del sensor connectat al port

Són registres de només lectura

* Si el sensor està ON el bit està activat (Bit = 1)
* Si el sensor està OFF el bit està desactivat (Bit = 0)
* Exemple que NO cal ESTUDIAR

**B. Registre d’estat (Status Register)**

6 bits per tenir informació del resultat de les operacions de la ALU

* **Bit de Carry (C)**: Desbordament amb operació aritmètica-lògica
* **Bit de Half-Carry (H)**: Desbordament amb operació aritmètica-lògica en mig byte (utilitzat en operacions BCD).
* **Bit de Zero (Z)**: Resultat zero amb una operació aritmètica-lògica
* **Bit de Negatiu (N)**: Resultat negatiu amb una operació aritmètica-lògica
* **Bit de Desbordament Complement a Dos (V)**: Resultat amb desbordament en una operació complement a dos
* **Bit de Signe (S)**: S = N (XOR) V

1 bit per control de les interrupcions del MCU

* **Bit Habilitació Global d’Interrupcions (I)**

Si I = 1 les interrupcions del MCU estaran habilitades a nivell global.

Si I = 0 les interrupcions del MCU estaran deshabilitades i cap funcionarà.

1 bit per escriure / llegir (guardar / recuperar informació de memòria) 1 bit

Les operacions del MCU són amb dades de 8 bits (mida de bus, registres, RAM...)

Si es vol guardar només 1 bit a memòria, per poder-lo recuperar posteriorment (i no es vol fer en un registre de 8 bits)

* **Bit de copia / emmagatzemament (T)**

Per fer operacions de lectura de 1 bit (LOAD) **BIT LOAD (BLD)**

Per operacions d’escriptura de 1 bit **(BST) BIT STORE**

**2. Modes Adreçament**

**A. Adreçament immediat**

La dada està a instrucció

ADD, R1, 15: R1 = R1 + 15

15 està a la instrucció

**B. Adreçament directe**

La instrucció no té la dada, sinó la seva ubicació

**C. Adreçament directe per registre**

La instrucció té el registre on està la dada

ADD R1, 15: R1 = R1 + 15

R1 té una dada (R1 = 8) que sumem al 15

**D. Adreçament directe per registre I/O**

La instrucció té el registre I/O on està la dada

IN R2, 5 R2 = (Registre I/O Número 5)

Registre està a la posició relativa 0x05

Registre està a la posició absoluta 0x25

R2 té la informació del port d’entrada

**E. Adreçament directe per memòria**

La instrucció té l’adreça de memòria on està la dada

ADD R1, 0x0100: R1 = R1 + (0x0100)

0x0100 és l’adreça de memòria on està la dada que sumarem a R1

**F. Adreçament indirecte**

La instrucció té la ubicació, on anirem a buscar la ubicació final de la dada

**G. Adreçament indirecte per registre**

La instrucció té el registre on està l’adreça de memòria (+8 bits)

ADD RX, 15: (RX) = (RX) + 15

RX té una adreça de memòria on tindrem la dada a la que volem sumar 15

En cas ATMega328P usem registres RX, RY, RZ

**H. Adreçament indirecte per memòria**

La instrucció té l’adreça de memòria on està l’adreça de memòria de la dada

ADD 0x0100, 15: (0x0100) = (0x0100) + 15

En el cas d’ATMega328P no hi ha instruccions d’adreçament indirecte per memòria

**I. Adreçament relatiu a PC**

La instrucció modifica el PC, de forma diferent al increment seqüencial de 1

CALL ADREÇA: PC = ADREÇA

RET: PC = [SP]

**J. Adreçament de pila**

La instrucció opera a la pila (llegeix o escriu informació a la pila, i modifica el valor de SP)

CALL ADREÇA: [SP] = RET

RET: PC = [SP]

PUSH R1, [SP] = R1

**K. Adreçament implícit**

La instrucció no té informació de la dada, però té dada que sempre està al mateix lloc.

RET

No tenim cap dada, però sabem que agafem l’adreça de PC de SP.

(La instrucció NOP) que no fa cap operació no té cap dada, i per tant no es podria dir que és adreçament implícit.

**L. Adreçament de Bit**

La instrucció fa operacions amb un bit.

Pot ser amb registres I/O: Activar actuador / llegir sensor.

Pot ser operacions amb bits registre STATUS.

Pot ser operacions amb bit T registre status per base / recuperar 1 bit

SBI PORT, 5: ACTIVAT BIT 5 PORT

**M. Adreçament indirecte per registre base**

La instrucció té l’adreça de referència (en el registre base), té el desplaçament respecte a la base (a un registre de desplaçament).

Anem a la posició marcada pel registre base, li sumem / restem el desplaçament i allà tenim la dada.

MOV R1, BASE, DESPL

R1 = [BASE + DESPL]

**N. Adreçament indirecte per registre índex**

La instrucció té l’adreça de referència (en el registre índex) té el desplaçament com a valor (dada immediata).

Anem a la posició marcada pel registre índex, li sumem el valor de desplaçament i allà tenim la dada.

MOV R1, INDEX, 5

R1 = [INDEX + 5]

**3. Interrupcions**

**A. Introducció**

Capacitat per poder aturar el procés d’execució d’un micro i portar-lo a executar una rutina en concret.

**Interrupt Service Routine (ISR):** Rutina servei de la interrupció. Rutina que s’ha d’executar en produir-se l’event que dispara la interrupció.

**B. Operativa**

Guardar adreça de la propera instrucció a executar abans de saltar a ISR (a stack).

Apuntar PC a posició de la ISR().

Executar la ISR().

Finalitzar l’execució de la ISR() amb instrucció **RETI**.

Recuperar posició PC de Stack per continuar la execució en el punt en el que es trobava el micro.

Recordem el registre status que té un bit **(I)** si aquest bit està activat les interrupcions poden gestionar-se, en cas de inhabilitar-se (I=O) les interrupcions no interompen el cicle d’execució del micro (no s’atenen).

A més cada interrupció tindrà un interruptor de habilitació/inhabilitació individualitzat.

**C. Tipologia i classificació**

**C1- Tipus**

* **Interrupcions Hardware:** produïdes per algun event en un pin del micro
* **Interrupcions Timer:** Gestionades per un determinat Timer (quan passa un cert temps...)
* **Interrupcions Software:** per senyals entre programes d’un sistema multiprocessador / multiprocés. **No estan definides en el cas ATMega328P**.

**C2- Retenció**

* **Interrupcions amb retenció:** es poden gestionar més tard del moment de produir-se.
* **Interrupcions sense retenció:** només es poden gestionar en el moment de produir-se.

**C3- Gestió Adreça ISR()**

* **Interrupcions mode directe:** Tenim una taula amb la adreça de cada ISR() (**és el mode en el cas ATMega328P**)
* **Interrupcions mode indirecte:** Tenim una taula amb la ubicació de l’adreça de cada ISR()

La taula amb la informació de les adreces es diu **Interrupt Vector Table (IVT)**

**D. IVT ATMega328P**

En el cas de ATMega328P la IVT té 26 entrades, ordenades de la interrupció més prioritària a la menys prioritària.

**E. Característiques / Requeriments**

**Interrupcions (genèrics)**

1. Han de seguir criteri **KISS**.
2. No han de ralentizar-se.
3. Mínima gestió de pila: no paràmetres d’entrada/sortida. No variables locals.
4. No s’han d’interrompre.

Dos operacions:

**Inhabilitar interrupcions (a la entrada):**

CLI

CLI()

NOINTERRUPTS()

**Habilitar interrupcions (a la sortida):**

SEI

SEI()

INTERRUPTS()

Habilitar interrupcions i recuperar PC de pila:

**RETI**: SEI + RET

5. Les variables (globals) amb les que treballa la ISR() han d’estar marcades com a **volatile**: per garantir que comptador no optimitza codi i les modifica/elimina.

**F. Consideracions interrupcions (ATMega328P)**

1. Registre STATUS: Si volem mantenir estat: la rutina ho ha de garantir.
2. Abans de tornar a executar una ISR després del retorn d’una ISR sempre s’executa al menys una instrucció del loop principal.
3. Temps de resposta d’interrupcions mínim 4 cicles de rellotge.
4. En rebre una interrupció sempre s’acaba primera la instrucció en curs (si dura més d’un cicle).
5. Si MCU en mode SLEEP es necessiten 4 cicles addicionals per atendre la interrupció.
6. Per tornar d’una ISR com a mínim es necessiten 4 cicles de rellotge.
7. Cadascuna de les 26 interrupcions està mapejada a una adreça: RESET, EXT-INT0, EXT\_INT1, PCINT0, PCINT1...

**5. Interrupció RESET**

La interrupció més prioritària del sistema.

4 formes d’activació:

**A: PIN RESET**

**B: POWER-ON RESET**

**C: BROWN-OUT RESET**

**D: WATCHDOG RESET**

Registre **MCUSR: MCU STATUS REGISTER**

4 FLAGS per saber condició activació RESET:

**WDRF (WATCHDOG SYSTEM RESET FLAG)**

**BORF (BROWN-OUT RESET FLAG)**

**EXTRF (EXTERNAL RESET FLAG)**

**PORF (POWER ON RESET FLAG)**

**6. Interrupcions externes (EXT\_INT0/INT0, EXT\_INT1/INT1)**

**A. Característiques**

Després RESET les dues més prioritàries (primer INT0, després INT1).

**EXYT\_INT0/INT: PIN PD2**

**EXT\_INT1/INT: PIN PD3**

**B. Configuració (Control Register)**

Quatre modes de control (per estat de PIN extern)

**B1. RISING EDGE: Flanc de pujada**

**B2. FALLING EDGE: Flanc de baixada**

**B3. CHANGING EDGE: Canvi d’estat**

**B4. LOW LEVEL STATE: Nivell baix**

(En cas ATMega328P no es poden activar per flanc de pujada. S’ha de posar electrònica per invertir senyal per exemple).

(Només el mode Low Level funciona si MCU està en estat sleep, doncs no funciona el IO\_CLOCK necessari per fer el funcionament dels altres tres modes).

Registre **EICRA (External Interrupt Control Register A)**

Control mode activació INT0/INT1

**ISC11/ISC10: Interrupt sense control 1 BIT 1 AND BIT 0**

**ISC01/ISC00: Interrupt sense control 0 BIT 1 AND BIT 0**

00: LOW LEVEL

01: CHANGING EDGE

10: FALLING EDGE

11: RISING EDGE

**C. Habilitació**

**EIMSK: External Interrupt Mask Register**

**INT0:** Activat per habilitar INT0

**INT1:** Activat per habilitar INT1

Habilitar cada interrupció de forma individualitzada si a més a més està activat bit general de interrupcions del registre STATUS.

**D. Indicació activació**

**EIFR: External Interrupt Flag Register**

**INTF0:** Activat si es compleix condició activació de INT0

**INTF1:** Activat si es compleix condició activació de INT1

Si la condició es compleix, s’activa FLAG.

Si a més a més la interrupció està habilitada es farà crida a la ISR programada.

**E. Exemple programació**

E1. Associar la interrupció a una ISR

attachInterrupt (DigitalPinToInterrupt (VALOR\_PIN), ISR, MODE)

Millor no utilitzar: attachInterrupt (VALOR\_PIN, ISR, MODE)

VALOR\_PIN: Per EXT\_INT0: 2, per EXT\_INT1: 3

ISR: Nom de la rutina a executar quan s’activi la interrupció

MODE: Low, change, falling, rising.

E2. Desassociar ISR: Ja no volem tenir interrupció activada

detachInterrupt (DigitalPinToInterrupt (VALOR\_PIN))

Millor no utilitzar: detachInterrupt (VALOR\_PIN)

**F. Debouncing**

A vegades es produeixen rebots en les entrades (les senyals no passen de 1 a 0 de forma instantània)

Per evitar-los:

* F1: Solució hardware amb un filtrat (filtrat pas-baix de condensador p.e.)
* F2: Solució software amb un temps d’anul·lació de la rutina de gestió

**7. Pin Change External Interrupts**

**A. Característiques**

Interrupcions associades a canvi d’estat en els pins dels ports B, C i D.

L’activació és per canvi d’estat, en els pins del PORT configurats per ser detectats.

No es pot saber quin PIN ha activat.

Tenim 23 pins possibles.

**B. Configuració (Control Register)**

**C. Habilitació**

**PCICR: Pin Change Interrupt Control Register**

**PCIE2:** Activat per habilitar interrupcions PCINT2 (PORT D)

**PCIE1:** Activat per habilitar interrupcions PCINT1 (PORT C)

**PCIE0:** Activat per habilitar interrupcions PCINT0 (PORT B)

Habilitar cada interrupció de forma individualitzada si a més a més està activat bit general d’interrupcions del registre STATUS.

A més podem configurar quin / quins dels pins del PORT són els que activaran la interrupció.

**PCMSK2: Pin Change Mask Register 2: PCINT23-PCINT16:** Per activar **PIND7-PIND0**

**PCMSK1: Pin Change Mask Register 1: PCINT14-PCINT8:** Per activar **PINC6-PINC0**

**PCMSK0: Pin Change Mask Register 0: PCINT7-PCINT0:** Per activar **PINB7-PINB0**

**D. Indicació activació**

**PCIFR: Pin Change Interrupt Flag Register**

**PCIF2:** Activat si es compleix condició activació de PCINT2

**PCIF1:** Activat si es compleix condició activació de PCINT1

**PCIF0:** Activat si es compleix condició activació de PCINT

Si la condició es compleix, s’activa FLAG.

Si a més a més la interrupció està habilitada es farà crida a la ISR programada.

ISR sempre mateix nom: **ISR(PCINT0\_VECT), ISR(PCINT1\_VECT), ISR(PCINT2\_VECT)**

**E. Exemple programació**

Habilitar només PORT B: PCICR = 0b00000001

Habilitar a més a més PORT B: PCICR |= 0b00000001

Habilitar només PINB0: PCIMSK = 0b00000001

Habilitar a més a més PINB0: PCIMSK |= 0b00000001

Programar ISR (PCINT0\_VECT)

**8. Timer / Counter 0**

**A. Característiques generals**

Comptador / Temporitzador de 8 bits

Té dues unitats externes (per fixar llindar)

Admet funcionament PWM (Pulse Width Modulation)

Permet generar interrupcions

Permet generar senyals externs de sortida (OC0A, OC0B)

**B. Unitat T/C 0**

Modul per comptar 8 bits bidireccional

Elements:

* COUNT: Cada vegada que tenim impuls es mou T/C 0 en una unitat
* DIRECTION: Permet anar incrementant valor TCNT0 o decrementant valor a cada impuls de COUNT
* CLEAR: Permet fer RESET (TCNT0=0)
* CLKT0: Senyal de rellotge de TCNT0
* TOP: Indica que TCNT0 ha arribat a valor màxim (pot ser MAX o OCR0A/OCR0B)
* BOTTOM: Indica que TCNT0 ha arribat a valor mínim (TCNT0=0)

**C. Registre TCNT0: T/C Register 0**

Valor del T/C0

8 bits (0-0xFF)

**D. Registre OCR0A: OUTPUT COMPARE REGISTER A T/C0**

Valor del llindar (A)

Quan TCNT0 arriba a OCR0A llavors es pot activar FLAG: OCF0A

També permet controlar senyal de sortida OC0A

**E. Pin FOC0A: FORCE OUTPUT COMPARE A T/C 0**

Permet forçar senyal de sortida OC0A

Sense modificar FLAG OCF0A

Sense modificar el valor del TCNT0

(És com si s’hagués produït el matching sense haver-se produït)

**F. Registre OCR0B: OUTPUT COMPARE REGISTER B T/C0**

Valor del llindar (B)

Quan TCNT0 arriba a OCR0B llavors es pot activar FLAG: OCF0B

També permet controlar senyal de sortida OC0B

**G. Pin FOC0B: FORCE OUTPUT COMPARE B T/C 0**

Permet forçar senyal de sortida OC0B

Sense modificar FLAG OCF0B

Sense modificar el valor del TCNT0

(És com si s’hagués produït el matching sense haver-se produït)

**H. Rellotge T/C 0**

Permet funcionar amb:

* Rellotge intern (que està en funció del CLK del sistema, que va a F = 20MHz)
* Rellotge extern (que és independent del CLK del sistema, que permet anar a F desitjada) (S’ha de posar electrònica i connectar a PIN T0)

Els rellotges es programen amb els pin clock select (CS0)

**I. Modes de funcionament**

* Mode normal: TCNTO fa cicle constant (si no es modifica per programa valor TCNT0) 0-1-...-254-255-0-1-...
* Mode clear timer on compare match (CTC): TCNT0 fa cicle 0-1-...-OCR0x-0-1-OCR0x (Es fa reset de TCNT0 quan arriba a llindar) (Dues opcions OCR0A, OCR0B)
* Mode fast PWM: TCNT0 funciona igual que en mode normal: Cicle 0-1-...-254-255-0-1-...
* Mode phase correct: TCNT0 fa doble cicle. De pujada, i després de baixada: 0-1-...-254-255-254-253-...-1-0-1-...

Els modes de funcionament es programen amb pin waveform generation mode (WGM0), i amb pins compare output mode (COM0X).

**J. Registres de configuració T/C 0**

* Registre TCCR0A: T/C 0 CONTROL REGISTER A
* Registre TCCR0B: T/C 0 CONTROL REGISTER B

Permet programar:

* COM0A1:0, COM0B1:0: Compare Match Output A/B Mode

Per controlar el comportament del pin de sortida OC0A/OC0B

La configuració és diferent per cadascun dels 4 modes: TOGGLE, INVERTING, NON-INVERTING

* WGM02:0: WAVEFORM GENERATION MODE

Mode 0: Mode normal

Mode 2: Mode CTC

Mode 1/5: Mode Phase Correct: 1 TOP = 0xFF, 5 TOP = OCR0X

Mode 3/7: Mode Fast: 3 TOP = 0xFF, 7 TOP = OCR0X

* FOC0A, FOC0B:

Forçar OC0X

- CS02:0: CLOCK SELECT

PERMET CONFIGURAR 8 RELLOTGES PER FUNCIONAR AMB T/C 0

0: RELLOTGE ATURAT

1: CLK SENSE PREESCALAR

2: RELLOTGE PREESCALAT (RALENTIR) PER 8

3: RELLOTGE PREESCALAT (RALENTIR) PER 64

4: RELLOTGE PREESCALAT (RALENTIR) PER 256

5: RELLOTGE PREESCALAT (RALENTIR) PER 1024

6: RELLOTGE EXTERN CONNECTAT A PIN T0 PER FLANC DE BAIXADA

7: RELLOTGE EXTERN CONNECTAT A PIN T0 PER FLANC DE PUJADA

**K.- MODE NORMAL**

- SENZILL

- VALOR TCNT0 SEMPRE S'INCREMENTA

- NO ES FA MAI RESET DE TCNT0

- S'ACTIVA TOV0 QUAN TCNT0=0 (PASSA PER 0)

- PODEM ASSOCIAR ISR A LA ACTIVACIO DE TOV0

- PODEM CANVIAR LLAVORS VALOR TCNT0 PER FER LOOP MENOR A 256 VALORS

- COM0X1:0 SEMPRE A VALOR 00 (MODE NORMAL)

**L.- MODE CLEAR TIMER ON COMPARE MATCH (CTC)**

- VALOR TCNT0 TORNA A ZERO (FA RESET) DESPRES DE FER MATCH AMB OCR0X

- DEFINEIX TOP=OCR0X

- QUAN TCNT0=OCR0A S'ACTIVA OCF0A, I ES POT ASSOCIAR ISR DE GESTIO DE INTERRUPCIO

- QUAN TCNT0=OCR0B S'ACTIVA OCF0B, I ES POT ASSOCIAR ISR DE GESTIO DE INTERRUPCIO

- QUAN TCNT0=0 S'ACTIVA TOV0, I ES POT ASSOCIAR ISR DE GESTIO DE INTERRUPCIO

- COM0X1:0: PROGRAMACIO EN MODE:

TOGGLE: A CADA ACTIVACIO OCF0X LA SENYAL DE SORTIDA OC0X COMMUTA

CLEAR: A CADA ACTIVACIO LA SENYAL ES POSA A ZERO

SET: A CADA ACTIVACIO LA SENYAL ES POSA A U

**M.- MODE FAST PWM**

M1.- CARACTERÍSTIQUES

- PERMET GENERAR SENYALS ASIMETRICS (I SIMETRICS)

- FUNCIONAMENT TCNT0: BOTTOM-TOP

- ACTIVACIO EN FLANC DE PUJADA

- TOP = 0XFF, OCR0X

- ACTIVACIO TOV0 EN BOTTOM

- MODE 3 (TOP = 0XFF), MODE 7 (TOP = OCR0X)

M2.- MODE NON-INVERTING:

QUAN TCNT0=OCR0X OC0X=0

QUAN TCNT0=0 OC0X=1

M3.- MODE INVERTING:

QUAN TCNT0=OCR0X OC0X=1

QUAN TCNT0=0 OC0X=0

**N.- MODE PHASE-CORRECT PWM**

N1.- CARACTERÍSTIQUES

- PERMET GENERAR SENYALS ASIMETRICS (I SIMETRICS)

- FUNCIONAMENT TCNT0: BOTTOM-TOP-BOTTOM

- ACTIVACIO EN FLANC DE PUJADA I DE BAIXADA

- TOP = 0XFF, OCR0X

- ACTIVACIO TOV0 EN BOTTOM

- MODE 1 (TOP = 0XFF), MODE 5 (TOP = OCR0X)

N2.- MODE NON-INVERTING:

QUAN TCNT0=OCR0X FLANC PUJADA OC0X=0

QUAN TCNT0=OCR0X FLANC BAIXADA OC0X=1

N3.- MODE INVERTING:

QUAN TCNT0=OCR0X FLANC PUJADA OC0X=1

QUAN TCNT0=OCR0X FLANC BAIXADA OC0X=0

**O.- REGISTRE DE MASCARA T/C 0**

REGISTRE TIMER/COUNTER 0 INTERRUPT MASK REGISTER (TIMSK0)

- PERMET HABILITAR O NO LES TRES INTERRUPCIONS AMB LES QUE POT TREBALLAR T/C0

O1: OCIE0B: OUTPUT COMPARE MATCH B INTERRUPT ENABLE

PERMET INTERRUPCIO QUAN TCNT0=OCR0B

O2: OCIE0A: OUTPUT COMPARE MATCH A INTERRUPT ENABLE

PERMET INTERRUPCIO QUAN TCNT0=OCR0A

O3: TOIE0: T/C 0 OVERFLOW INTERRUPT ENABLE

PERMET INTERRUPCIO QUAN TOV0

**P.- REGISTRE DE FLAGS T/C 0**

REGISTRE TIMER/COUNTER 0 INTERRUPT FLAG REGISTER (TIFR0)

- PERMET SABER SI S'HA PRODUIT LA CONDICIO DE LA INTERRUPCIO

P1: OCF0B: OUTPUT COMPARE MATCH B FLAG

S'HA DONAT CONDICIO SOBRE OCR0B

P2: OCF0A: OUTPUT COMPARE MATCH A FLAG

S'HA DONAT CONDICIO SOBRE OCR0A

P3: TOV0: T/C 0 OVERFLOW  FLAG

S'HA DONAT CONDICIO SOBRE TOV0

**9.- TIMER/COUNTER 1**

**A- CARACTERÍSTIQUES GENERALS**

- COMPTADOR/TEMPORITZADOR DE 16 BITS (QUE POT FUNCIONAR A 8 BITS, 9 BITS, 10 BITS I 16 BITS)

- TE DUES UNITATS EXTERNES (PER FIXAR LLINDAR)

- ADMET FUNCIONAMENT PWM (PULSE WIDTH MODULATION)

- PERMET GENERAR INTERRUPCIONS

- PERMET GENERAR SENYALS EXTERNS DE SORTIDA (OC0A, OC0B)

- DISPOSA DE OPCIO DE INPUT CAPTURE, PER PODER LLEGIR EL VALOR DEL TCNT1

**B- UNITAT T/C 1**

MODUL PER COMPTAR 16 BITS BIDIRECCIONAL

ELEMENTS:

- COUNT: CADA VEGADA QUE TENIM IMPULS ES MOU T/C 0 EN UNA UNITAT

- DIRECTION: PERMET ANAR INCREMENTANT VALOR TCNT0 O DECREMENTANT VALOR A CADA IMPULS DE COUNT

- CLEAR:PERMET FER RESET (TCNT1=0)

- CLKT1: SENYAL DE RELLOTGE DE TCNT1

- TOP: INDICA QUE TCNT1 HA ARRIBAT A VALOR MAXIM (POT SER MAX O OCR1A/OCR1B, MAX=0XFFFF, 0X00FF, 0X01FF, 0X03FF)

- BOTTOM: INDICA QUE TCNT1 HA ARRIBAT A VALOR MINIM (TCNT1=0)

**C- REGISTRE TCNT1: T/C REGISTER 1**

VALOR DEL T/C1

16 BITS (0-0XFFFF)

**D- REGISTRE OCR1A: OUTPUT COMPARE REGISTER A T/C1**

VALOR DEL LLINDAR (A)

QUAN TCNT1 ARRIBA A OCR1A LLAVORS ES POT ACTIVAR FLAG: OCF1A

TAMBE PERMET CONTROLLAR SENYAL DE SORTIDA OC1A

**E.- PIN FOC1A: FORCE OUTPUT COMPARE A T/C 1**

PERMET FORÇAR SENYAL DE SORTIDA OC1A

SENSE MODIFICAR FLAG OCF1A

SENSE MODIFICAR EL VALOR DEL TCNT1

(ES COM SI S'HAGUES PRODUIR EL MATCHING SENSE HAVER-SE PRODUIT)

**F- REGISTRE OCR1B: OUTPUT COMPARE REGISTER B T/C1**

VALOR DEL LLINDAR (B)

QUAN TCNT1 ARRIBA A OCR1B LLAVORS ES POT ACTIVAR FLAG: OCF1B

TAMBE PERMET CONTROLLAR SENYAL DE SORTIDA OC1B

**G.- PIN FOC1B: FORCE OUTPUT COMPARE B T/C 1**

PERMET FORÇAR SENYAL DE SORTIDA OC1B

SENSE MODIFICAR FLAG OCF1B

SENSE MODIFICAR EL VALOR DEL TCNT1

(ES COM SI S'HAGUES PRODUIR EL MATCHING SENSE HAVER-SE PRODUIT)

**H.- RELLOTGE T/C 1**

PERMET FUNCIONAR AMB:

- RELLOTGE INTERN (QUE ESTA EN FUNCIO DEL CLK DEL SISTEMA, QUE VA A F=20MHZ)

- RELLOTGE EXTERN (QUE ES INDEPENDENT DEL CLK DEL SISTEMA, QUE PERMET ANAR A F DESITJADA) (S'HA DE POSAR ELECTRONICA I CONNECTAR A PIN T1)

ELS RELLOTGES ES PROGRAMEN AMB ELS PIN CLOCK SELECT (CS1)

**I.- MODES DE FUNCIONAMENT**

- MODE NORMAL: TCNT1 FA CICLE CONSTANT (SI NO ES MODIFICA PER PROGRAMA VALOR TCNT1) 0-1-...-(MAX-1)-MAX-0-1-...

- MODE CLEAR TIMER ON COMPARE MATCH (CTC): TCNT1 FA CICLE 0-1-....-OCR1x-0-1-OCR1x (ES FA RESET DE TCNT1 QUAN ARRIBA A LLINDAR) (DOS OPCIONS OCR1A, OCR1B)

- MODE FAST PWM: TCNT1 FUNCIONA IGUAL QUE EN MODE NORMAL: CICLE 0-1-....-(TOP-1)-TOP-0-1... FINS A TOP I NO MAX (TOP=0XFF,0X1FF,0X3FF,0XFFFF)

- MODE PHASE CORRECT: TCNT1 FA DOBLE CICLE. DE PUJADA, I DESPRES DE BAIXA: 0-1-...-(TOP-1)-TOP-(TOP-1)-(TOP-2)-...-1-0-1-...FINS A TOP I NO MAX (TOP=0XFF,0X1FF,0X3FF,0XFFFF)

ELS MODES DE FUNCIONAMENT ES PROGRAMEN  AMB PIN WAVEFORM GENERATION MODE (WGM1), I AMB PINS COMPARE OUTPUT MODE (COM1X)

**J.- REGISTRES DE CONFIGURACIO T/C 1**

- REGISTRE TCCR1A: T/C 1 CONTROL REGISTER A

- REGISTRE TCCR1B: T/C 1 CONTROL REGISTER B

- REGISTRE TCCR1C: T/C 1 CONTROL REGISTER C

PERMET PROGRAMAR:

- COM1A1:0, COM1B1:0: COMPARE MATCH OUTPUT A/B MODE

PER CONTROLAR EL COMPORTAMENT DEL PIN DE SORITDA OC1A/OC1B

LA CONFIGURACIO ES DIFERENT PER CADASCUN DELS 4 MODES: TOGGLE, INVERTING, NON-INVERTING

- WGM13:0: WAVEFORM GENERATIONM MODE

MODE NORMAL/ CTC / FAST (8-9-10-16 BITS) / PHASE CORRECT (8-9-10-16 BITS)

- FOC1A, FOC1B:

FORÇAR OC1X

- CS12:0: CLOCK SELECT

PERMET CONFIGURAR 8 RELLOTGES PER FUNCIONAR AMB T/C 1

0: RELLOTGE ATURAT

1: CLK SENSE PREESCALAR

2: RELLOTGE PREESCALAT (RALENTIR) PER 8

3: RELLOTGE PREESCALAT (RALENTIR) PER 64

4: RELLOTGE PREESCALAT (RALENTIR) PER 256

5: RELLOTGE PREESCALAT (RALENTIR) PER 1024

6: RELLOTGE EXTERN CONNECTAT A PIN T1 PER FLANC DE BAIXADA

7: RELLOTGE EXTERN CONNECTAT A PIN T1 PER FLANC DE PUJADA

**K.- REGISTRE DE MASCARA T/C 1**

REGISTRE TIMER/COUNTER 1 INTERRUPT MASK REGISTER (TIMSK1)

- PERMET HABILITAR O NO LES QUATRE INTERRUPCIONS AMB LES QUE POT TREBALLAR T/C1

K1: OCIE1B: OUTPUT COMPARE MATCH B INTERRUPT ENABLE

PERMET INTERRUPCIO QUAN TCNT1=OCR1B

K2: OCIE1A: OUTPUT COMPARE MATCH A INTERRUPT ENABLE

PERMET INTERRUPCIO QUAN TCNT1=OCR1A

K3: TOIE1: T/C 1 OVERFLOW INTERRUPT ENABLE

PERMET INTERRUPCIO QUAN TOV0

K4: ICIE1: INPUT CAPTURE INTERRUPT ENABLE

PERMET INTERRUPCIO QUAN S'ACTIVA INPUT CAPTURE

**L.- REGISTRE DE FLAGS T/C 1**

REGISTRE TIMER/COUNTER 1 INTERRUPT FLAG REGISTER (TIFR1)

- PERMET SABER SI S'HA PRODUIT LA CONDICIO DE LA INTERRUPCIO

L1: OCF1B: OUTPUT COMPARE MATCH B FLAG

S'HA DONAT CONDICIO SOBRE OCR1B

L2: OCF1A: OUTPUT COMPARE MATCH A FLAG

S'HA DONAT CONDICIO SOBRE OCR1A

L3: TOV0: T/C 1 OVERFLOW  FLAG

S'HA DONAT CONDICIO SOBRE TOV1

L4: ICF1: INPUT CAPTURE FLAG 1

S'HA DONAT CONDICIO SOBRE INPUT CAPTURE

**M.- INPUT CAPTURE**

PERMET LLEGIR EL VALOR DEL TCNT1 QUAN ES DONA CONDICIO SOBRE INPUT CAPTURE

- SI PIN ICP1 (PIN INPUT CAPTURE 1) S'ACTIVA, ES GENERA LA CONDICIO

- TE DOS PARAMETRES DE CONFIGURACIO:

ICNC1: INPUT CAPTURE NOISE CANCELER: QUAN VAL 1: ESPERAREM A TENIR ACTIVACIO/DESACTIVACIO DURANT 4 CICLES DE RELLOTGE CONSECUTIUS

ICES1: INPUT CAPTURE EDGE SELECT: QUAN VAL ZERO LA ACTIVACIO ES PER FLANC DE BAIXADA, SI VAL U ES PER FLANC DE PUJADA

**10.- TIMER/COUNTER 2**

**A- CARACTERÍSTIQUES GENERALS**

- COMPTADOR/TEMPORITZADOR DE 8 BITS

- TE DUES UNITATS EXTERNES (PER FIXAR LLINDAR)

- ADMET FUNCIONAMENT PWM (PULSE WIDTH MODULATION)

- PERMET GENERAR INTERRUPCIONS

- PERMET GENERAR SENYALS EXTERNS DE SORTIDA (OC2A, OC2B)

- PERMET UN RELLOTGE EXTERN (T/C0 PERMET CONNECTAR SENYAL A T0, T/C1 PERMET CONNECTAR SENYAL A T1)(T/C2 PERMET CONNECTAR RELLOTGE A TOSC1-TOSC2)

**B- UNITAT T/C 2**

MODUL PER COMPTAR 8 BITS BIDIRECCIONAL

ELEMENTS:

- COUNT: CADA VEGADA QUE TENIM IMPULS ES MOU T/C 2 EN UNA UNITAT

- DIRECTION: PERMET ANAR INCREMENTANT VALOR TCNT0 2 DECREMENTANT VALOR A CADA IMPULS DE COUNT

- CLEAR:PERMET FER RESET (TCNT2=0)

- CLKT2: SENYAL DE RELLOTGE DE TCNT2

- TOP: INDICA QUE TCNT2 HA ARRIBAT A VALOR MAXIM (POT SER MAX O OCR2A/OCR2B)

- BOTTOM: INDICA QUE TCNT2 HA ARRIBAT A VALOR MINIM (TCNT2=0)

**C- REGISTRE TCNT2: T/C REGISTER 2**

VALOR DEL T/C2

8 BITS (0-0XFF)

**D- REGISTRE OCR2A: OUTPUT COMPARE REGISTER A T/C2**

VALOR DEL LLINDAR (A)

QUAN TCNT2 ARRIBA A OCR2A LLAVORS ES POT ACTIVAR FLAG: OCF2A

TAMBE PERMET CONTROLLAR SENYAL DE SORTIDA OC2A

**E.- PIN FOC2A: FORCE OUTPUT COMPARE A T/C 2**

PERMET FORÇAR SENYAL DE SORTIDA OC2A

SENSE MODIFICAR FLAG OCF2A

SENSE MODIFICAR EL VALOR DEL TCNT2

(ES COM SI S'HAGUES PRODUIR EL MATCHING SENSE HAVER-SE PRODUIT)

**F- REGISTRE OCR2B: OUTPUT COMPARE REGISTER B T/C2**

VALOR DEL LLINDAR (B)

QUAN TCNT2 ARRIBA A OCR2B LLAVORS ES POT ACTIVAR FLAG: OCF2B

TAMBE PERMET CONTROLLAR SENYAL DE SORTIDA OC2B

**G.- PIN FOC2B: FORCE OUTPUT COMPARE B T/C 2**

PERMET FORÇAR SENYAL DE SORTIDA OC2B

SENSE MODIFICAR FLAG OCF2B

SENSE MODIFICAR EL VALOR DEL TCNT2

(ES COM SI S'HAGUES PRODUIR EL MATCHING SENSE HAVER-SE PRODUIT)

**H.- RELLOTGE T/C 2**

PERMET FUNCIONAR AMB:

- RELLOTGE INTERN (QUE ESTA EN FUNCIO DEL CLK DEL SISTEMA, QUE VA A F=20MHZ)

- RELLOTGE EXTERN (QUE ES INDEPENDENT DEL CLK DEL SISTEMA, QUE PERMET ANAR A F DESITJADA) (S'HA DE POSAR ELECTRONICA I CONNECTAR A PIN TOSC1/TOSC2)

ELS RELLOTGES ES PROGRAMEN AMB ELS PIN CLOCK SELECT (CS2)

**I.- MODES DE FUNCIONAMENT**

- MODE NORMAL: TCNT2 FA CICLE CONSTANT (SI NO ES MODIFICA PER PROGRAMA VALOR TCNT2) 0-1-...-254-255-0-1-...

- MODE CLEAR TIMER ON COMPARE MATCH (CTC): TCNT2 FA CICLE 0-1-....-OCR2x-0-1-OCR2x (ES FA RESET DE TCNT2 QUAN ARRIBA A LLINDAR) (DOS OPCIONS OCR2A, OCR2B)

- MODE FAST PWM: TCNT2 FUNCIONA IGUAL QUE EN MODE NORMAL: CICLE 0-1-....-254-255-0-1...

- MODE PHASE CORRECT: TCNT2 FA DOBLE CICLE. DE PUJADA, I DESPRES DE BAIXA: 0-1-...-254-255-254-253-...-1-0-1-...

ELS MODES DE FUNCIONAMENT ES PROGRAMEN  AMB PIN WAVEFORM GENERATION MODE (WGM2), I AMB PINS COMPARE OUTPUT MODE (COM2X)

**J.- REGISTRES DE CONFIGURACIO T/C 2**

- REGISTRE TCCR2A: T/C 2 CONTROL REGISTER A

- REGISTRE TCCR2B: T/C 2 CONTROL REGISTER B

PERMET PROGRAMAR:

- COM2A1:0, COM2B1:0: COMPARE MATCH OUTPUT A/B MODE

PER CONTROLAR EL COMPORTAMENT DEL PIN DE SORITDA OC2A/OC2B

LA CONFIGURACIO ES DIFERENT PER CADASCUN DELS 4 MODES: TOGGLE, INVERTING, NON-INVERTING

- WGM22:0: WAVEFORM GENERATION MODE

MODE 0: MODE NORMAL

MODE 2: MODE CTC

MODE 1/5: MODE PHASE CORRECT: 1 TOP=0XFF, 5 TOP=OCR2X

MODE 3/7: MODE FAST: 3 TOP=0XFF, 7 TOP=OCR2X

- FOC2A, FOC2B:

FORÇAR OC2X

- CS22:0: CLOCK SELECT

PERMET CONFIGURAR 8 RELLOTGES PER FUNCIONAR AMB T/C 0

0: RELLOTGE ATURAT

1: CLK SENSE PREESCALAR

2: RELLOTGE PREESCALAT (RALENTIR) PER 8

3: RELLOTGE PREESCALAT (RALENTIR) PER 32

4: RELLOTGE PREESCALAT (RALENTIR) PER 64

5: RELLOTGE PREESCALAT (RALENTIR) PER 128

6: RELLOTGE PREESCALAT (RALENTIR) PER 256

7: RELLOTGE PREESCALAT (RALENTIR) PER 1024

**K.- REGISTRE DE MASCARA T/C 2**

REGISTRE TIMER/COUNTER 2 INTERRUPT MASK REGISTER (TIMSK2)

- PERMET HABILITAR O NO LES TRES INTERRUPCIONS AMB LES QUE POT TREBALLAR T/C2

K1: OCIE2B: OUTPUT COMPARE MATCH B INTERRUPT ENABLE

PERMET INTERRUPCIO QUAN TCNT2=OCR2B

K2: OCIE2A: OUTPUT COMPARE MATCH A INTERRUPT ENABLE

PERMET INTERRUPCIO QUAN TCNT2=OCR2A

K3: TOIE2: T/C 2 OVERFLOW INTERRUPT ENABLE

PERMET INTERRUPCIO QUAN TOV2

**L.- REGISTRE DE FLAGS T/C 2**

REGISTRE TIMER/COUNTER 2 INTERRUPT FLAG REGISTER (TIFR2)

- PERMET SABER SI S'HA PRODUIT LA CONDICIO DE LA INTERRUPCIO

L1: OCF2B: OUTPUT COMPARE MATCH B FLAG

S'HA DONAT CONDICIO SOBRE OCR2B

L2: OCF2A: OUTPUT COMPARE MATCH A FLAG

S'HA DONAT CONDICIO SOBRE OCR2A

L3: TOV2: T/C 2 OVERFLOW  FLAG

S'HA DONAT CONDICIO SOBRE TOV2